

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

4/ Priority  
Doc.  
E-Willis  
5-30-01

1c903 U.S. PTO  
09/832666



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 4月14日

出願番号

Application Number:

特願2000-114045

出願人

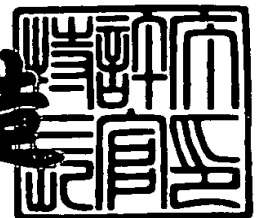
Applicant(s):

日本電気株式会社

2001年 3月 2日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3014110

【書類名】 特許願

【整理番号】 74410393

【提出日】 平成12年 4月14日

【あて先】 特許庁長官 殿

【国際特許分類】 G01R 31/28  
H01L 21/66

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 相原 智彰

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の検査方法及び検査装置

【特許請求の範囲】

【請求項 1】 入力信号用の端子を有する複数の半導体装置を同時に検査する検査方法であって、

検査に使用する信号を出力するドライバを用意し、

前記ドライバの出力端を分岐点に接続し、

複数の前記半導体装置の前記端子と前記分岐点とをそれぞれ電流制限素子と該電流制限素子に対して並列に接続されたコンデンサとを介して接続し、

前記分岐点に向けて前記ドライバから信号を出力する半導体装置の検査方法。

【請求項 2】 入力信号用の第 1 の端子と第 2 の端子とを有する複数の半導体装置を同時に検査する検査方法であって、

検査に使用する信号を出力する第 1 のドライバ及び第 2 のドライバを用意し、

前記第 1 のドライバの出力端を分岐点に接続し、

複数の半導体装置の前記第 1 の端子と前記分岐点とをそれぞれ電流制限素子と該電流制限素子に対して並列に接続されたコンデンサとを介して接続し、

前記第 2 のドライバの出力端と前記第 2 の端子とを 1 対 1 で接続し、

前記分岐点に向けて前記第 1 のドライバから信号を出力するとともに前記第 2 のドライバから前記第 2 の端子に向けて信号を出力する半導体装置の検査方法。

【請求項 3】 電流制限素子として抵抗を使用する請求項 1 または 2 に記載の半導体装置の検査方法。

【請求項 4】 抵抗の抵抗値を  $10\Omega$  以上とする請求項 3 に記載の半導体装置の検査方法。

【請求項 5】 コンデンサの容量値を、接続すべき端子の入力容量値以上とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置の検査方法。

【請求項 6】 端子の直流入力抵抗値が  $0.1\text{M}\Omega$  以上である請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置の検査方法。

【請求項 7】 半導体装置が外部クロックに同期して動作するものであり、前記外部クロックの周波数が  $10\text{MHz}$  以上である請求項 1 乃至 6 のいずれか 1

項に記載の半導体装置の検査方法。

【請求項 8】 入力信号用の端子を有する複数の半導体装置を同時に検査する検査装置であって、

検査に使用する信号を出力するドライバと、

前記ドライバの出力端が接続する分岐点と、

複数の前記半導体装置の前記端子と前記分岐点との間にそれぞれ挿入された電流制限素子と、

前記電流制限素子に対してそれぞれ並列に接続されたコンデンサと、

を有する半導体装置の検査装置。

【請求項 9】 入力信号用の第 1 の端子と第 2 の端子とを有する複数の半導体装置を同時に検査する検査装置であって、

検査に使用する信号を出力する第 1 のドライバ及び第 2 のドライバと、

前記第 1 のドライバの出力端が接続する分岐点と、

複数の半導体装置の前記第 1 の端子と前記分岐点との間にそれぞれ挿入された電流制限素子と、

前記電流制限素子に対してそれぞれ並列に接続されたコンデンサとを有し、

前記第 2 のドライバの出力端と前記第 2 の端子とが 1 対 1 で接続される半導体装置の検査装置。

【請求項 10】 分岐点、電流制限素子及びコンデンサが、検査対象の半導体装置をテストに接続するためのプローブカードあるいはテストボード内に設けられている、請求項 8 または 9 に記載の半導体装置の検査装置。

【請求項 11】 電流制限素子が抵抗である請求項 8 乃至 10 のいずれか 1 項に記載の半導体装置の検査装置。

【請求項 12】 抵抗の抵抗値が  $10\ \Omega$  以上である請求項 11 に記載の半導体装置の検査装置。

【請求項 13】 コンデンサの容量値が、接続すべき端子の入力容量値以上である請求項 8 乃至 12 のいずれか 1 項に記載の半導体装置の検査装置。

【請求項 14】 端子の直流入力抵抗値が  $0.1\ \text{M}\Omega$  以上である請求項 8 乃至 13 のいずれか 1 項に記載の半導体装置の検査装置。

【請求項 15】 半導体装置が外部クロックに同期して動作するものであり、前記外部クロックの周波数が 10MHz 以上である請求項 8 乃至 14 のいずれか 1 項に記載の半導体装置の検査装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路や半導体記憶装置（半導体メモリ）などの半導体装置の検査を行うための方法及び装置に関し、特に、同時に検査できる半導体装置の個数を増加させた半導体装置の検査方法及び検査装置に関する。

【0002】

【従来の技術】

半導体装置の製造時や半導体装置の納入時に半導体装置の検査を行う場合、半導体テストと検査対象の半導体装置（DUT ; Device under test）とをプローブカードあるいはテストボードを介して接続し、検査対象の半導体装置の入力信号用の各パッドあるいは各ピンに所定の検査用信号を印加し、そのときの出力信号用の各パッドあるいは各ピンにおける信号を検出する。

【0003】

この分野では、半導体装置がパッケージング前か後かに応じて、パッケージング前であればプローブカードを用いてパッドに接続し、パッケージング後であればテストボードを用いてピンに接続すると用語の使い分けを行う場合もあるが、以下の説明においては、半導体装置のパッドやピンなどを総称して端子と称する。また、テストに検査対象の半導体装置を接続するためのプローブカードには、テストボードも含まれるものとする。

【0004】

半導体装置の検査においては、検査時間を短縮することが求められており、そのために、同時に複数の半導体装置を検査することが試みられている。図 6 は、1 台のテストを使用して同時に複数の半導体装置を検査するための基本的な構成を示している。

【0005】

テストプログラムにしたがって半導体装置の検査を行うテスト 6 1 内には、検査対象の半導体装置 6 4 の入力信号用端子 6 5 に所定の信号を印加するために、複数のドライバ 6 2 が設けられている。ここで検査対象の半導体装置 6 4 は、それぞれ複数の入力信号用端子 6 5 を備えている。テスト 6 1 と複数の半導体装置 6 4 は、プローブカード 6 3 を介して接続している。ここで、1 個の入力信号用端子 6 5 について、テスト 6 1 内の 1 個のドライバ 6 2 が対応しており、そのため、検査対象の複数の半導体装置 6 4 における入力信号用端子 6 5 の総数以上の数のドライバ 6 2 が用意されることになる。

## 【 0 0 0 6 】

結局、この構成では、同時に検査する半導体装置の入力信号用端子の総数だけのドライバをテスト内に用意しなければならず、テストの構成が大がかりになる、また、テストに備えるドライバの数の範囲内でしか検査を行えないから、同時検査個数をそれほど多くすることができない、という問題点がある。

## 【 0 0 0 7 】

同時に検査する半導体装置は、一般的には、同一種類の半導体装置であると考えられる。そこで、特開平 1 1 - 2 3 1 0 2 2 号公報には、図 7 に示すように、テストのドライバからの信号をプローブカード内で分岐させて、同時に検査する複数の半導体装置に対して並列に供給することが開示されている。このように 1 つのドライバからの信号を分岐して複数の半導体装置に並列に供給することをコモンドライブ配線といい、そのように使用されるドライバのことをコモンドライブとも呼ぶ。

## 【 0 0 0 8 】

図 7 に示す構成では、複数（ここでは 2 個）の半導体装置 6 4 a, 6 4 b にそれぞれ 3 個ずつの入力信号用端子 6 5 a ~ 6 5 c, 6 5 d ~ 6 5 f が設けられている。テスト 6 1 内のドライバのうち、ドライバ 6 2 a の出力は半導体装置 6 4 a の端子 6 5 a に 1 対 1 で接続し、ドライバ 6 2 d の出力は半導体装置 6 4 b の端子 6 5 d に 1 対 1 で接続している。しかしながら、ドライバ 6 2 b の出力は、プローブカード 6 3 内の分岐点 6 6 a で分岐して、半導体装置 6 4 a の端子 6 5 b と半導体装置 6 4 b の端子 6 5 e に供給されている。同様に、ドライバ 6 2 c

の出力は、プローブカード 6 3 内の分岐点 6 6 b で分岐して、半導体装置 6 4 a の端子 6 5 c と半導体装置 6 4 b の端子 6 5 f に供給されている。ドライバ 6 2 b, 6 2 c は、いずれもその出力がプローブボード 6 3 内で分岐して複数の入力用端子に接続することから、コモンドライバということになる。

#### 【 0 0 0 9 】

このように構成することにより、1 つで複数の端子を受け持つドライバが存在するようになることから、少ない数のドライバを使用してより多くの半導体装置を検査することができるようになる。

#### 【 0 0 1 0 】

しかしながらこの構成では、同時に検査する半導体装置の 1 つに、入力端子におけるリークなどの不良があった場合に、残りの正常な半導体装置の検査も行えなくなるという問題点がある。検査対象の半導体装置の入力端子が、M O S (metal-oxide-semiconductor) トランジスタ構成や C M O S (相補性 M O S) 構成である場合、その入力抵抗は 0. 5 M  $\Omega$  以上、典型的には 3 M  $\Omega$  程度以上であると考えられるので、テスト内のドライバの電流駆動能力などもそれを前提に構成されている。ここで、1 つのドライバから分岐して信号が印加される複数の入力端子のいずれかに、例えば直流での入力抵抗に換算して 1 0 0  $\Omega$  以下のリークが発生した場合、正常な入力端子にも正規の信号電圧が印加されないこととなって、正常な半導体装置の検査も行えないこととなる。

#### 【 0 0 1 1 】

このことを図 7 に示した例に即して説明する。ここで半導体装置 6 4 a は良品、半導体装置 6 4 b はその入力用の端子 6 5 e にリークがある不良品であるとする。リークのある端子 6 5 e と良品の半導体装置 6 4 a の端子 6 5 b とは、ドライバ 6 2 b に対して並列に接続していることから、ドライバ 6 2 b でこれら端子 6 5 b, 6 5 e を駆動したときに、端子 6 5 e でのリークによって、正常な方の端子 6 5 b にも正規の信号電圧が印加されないこととなり、良品の方の半導体装置 6 4 a についても検査を正常に行えないことになる。

#### 【 0 0 1 2 】

1 つのドライバからの信号が分岐して複数の入力端子に印加される場合におけ

る上述した問題点を解決するものとして、図 8 に示すように、プローブカード内において、ドライバからの信号を分岐させた後に、分岐点と各入力信号用端子との間に数百  $\Omega$  程度の抵抗をそれぞれ挿入することが試みられている。図 8 に示す構成は、図 7 に示す構成において、分岐点 6 6 a と端子 6 5 b の間、分岐点 6 6 a と端子 6 5 e の間、分岐点 6 6 b と端子 6 5 c の間、分岐点 6 6 b と端子 6 5 f の間に、それぞれ、数百  $\Omega$ （例えば 6 0 0  $\Omega$ ）程度の抵抗 6 7 を挿入したものである。

#### 【 0 0 1 3 】

この構成は、クロック周波数が 1 0 M H z 程度以下の比較的低速の半導体装置の検査には有効であるが、クロック周波数が 3 0 M H z を越えるような半導体装置の検査には使用できない。その理由は、検査対象の半導体装置の入力端子の入力容量が典型的には 5 p F あり、そのために挿入した抵抗（典型的には 6 0 0  $\Omega$  程度）との時定数が 3 n s 程度となって、その分、入力端子への信号の印加タイミングが遅延するとともに、印加される信号の波形がなまるからである。さらに、入力容量のばらつきによって、遅延時間自体が端子ごとにばらつくこととなる。

#### 【 0 0 1 4 】

半導体装置での動作タイミングを決定する基準クロックのように、波形の遅延やなまりを極端に嫌う信号については、図 7 や図 8 に示したもののでも、ドライバから分岐せずにクロック入力端子に信号を供給するので、上述のようにある入力端子において遅延があると、例えば、その入力端子での信号のラッチを正しく行えないこととなる。また、極端な信号のなまりは、半導体装置の動作を不安定にもする。

#### 【 0 0 1 5 】

図 9 は、波形に遅延やなまりがある場合の不都合を説明する図である。波形 b は波形 a の立ち上がりエッジでラッチされるべき波形であり、ここでは、波形 a の立ち上がりエッジより前に立ち下がっているものとする。波形 b を出力するドライバと検査対象の半導体装置の波形 b が入力する端子との間に抵抗が挿入されているものとする。またラッチのスレッシュホールド電圧は電源電圧  $V_{cc}$  のちょ

うど半分であり、入力電圧が  $V_{cc}/2$  以上で“H”（高）レベルであると識別され、 $V_{cc}/2$  未満であれば“L”（高）レベルであると識別されるものとする。波形 b の実線は、抵抗を挿入しない場合の波形（ドライバの出力点での波形）であり、破線は図 8 に示したように抵抗を挿入した場合の半導体装置の端子での波形である。図に示されるように、波形 b を出力するドライバに抵抗を接続した場合には、波形 a の立ち上がりエッジの時点でまだ波形 b は“H”レベルにあり、半導体装置は、正しく、信号をラッチできないことになる。

#### 【0016】

近年、例えば、半導体記憶装置ではそのクロック周波数が 66MHz から 100MHz、さらには 250MHz と向上してきており、これ以上の高クロック周波数化も着々と進行している。また、マイクロプロセッサのバス周波数も同様に向上してきており、抵抗を挿入したことによる遅延は、この種の半導体装置の同時検査個数を制限することとなり、検査の効率化を大きな妨げとなっている。

#### 【0017】

##### 【発明が解決しようとする課題】

上述したように従来の検査方法によれば、テストにおけるドライバの所要数を増やすことなく、また、同時に検査する半導体装置における不良の影響が他の正常な半導体装置に及ぼされることなく、同時に検査できる半導体装置の数を増やすことが、半導体装置の高速化に伴って難しくなっている。

#### 【0018】

本発明の目的は、検査対象が高速に動作する半導体装置であっても、テストのドライバ数を増やすことなく同時に検査できる個数を増やすことができる半導体装置の検査方法及び検査装置を提供することにある。

#### 【0019】

##### 【課題を解決するための手段】

本発明では、コモンドライブ配線において、ドライブからの信号を分岐してそれぞれ抵抗を介して複数の入力端子にその信号を並列に供給する際に、各抵抗に並列にコンデンサを接続する。このようにコンデンサを接続することにより、簡便な回路構成により、コモンドライブ配線に抵抗が挿入されている場合であって

も、入力端子に印加される信号の遅延やなまりを抑制することができ、その結果、クロック周波数が 3 0 M H z を越えるような半導体装置を同時に多数検査できるようになる。

#### 【 0 0 2 0 】

ここで抵抗は、コモンドライブ配線に接続している半導体装置のうちの 1 つにリーク不良などが発生した際に、その影響が他の半導体装置に及ばないようにするためのものであり、リーク不良によって生じる過電流を抑制する作用を有する。したがって、本発明では、抵抗の代わりに、例えば正の温度係数を有するサーミスタや、接合型電界効果トランジスタ ( J F E T ) のしきい値電流特性を利用した定電流素子などの、任意の電流制限素子を使用することができる。抵抗も本発明でいう電流制限素子の範疇に含まれるものである。

#### 【 0 0 2 1 】

電流制限素子として抵抗を使用する場合、その抵抗値は、検査対象の半導体装置の入力端子の直流入力抵抗値や入力容量値に応じて適宜に定められるものであるが、半導体装置の入力端子が例えば M O S トランジスタ構成や C M O S 構成であって直流入力抵抗値が 3 M  $\Omega$  以上であるような場合には、5 0  $\Omega$  から 1 k  $\Omega$  の範囲内、より好ましくは 5 0  $\Omega$  から 2 0 0  $\Omega$  の範囲内に設定される。

#### 【 0 0 2 2 】

また、抵抗に並列に接続されるコンデンサの容量値は、検査対象の半導体装置の入力容量以上とすることが好ましい。より厳密に言えば、その接続すべき入力信号用端子の正常時における入力容量値 (例えば、設計値やカタログ記載値など) 以上とすることが好ましく、その入力容量値の 1. 5 倍以上とすることがさらに好ましい。M O S トランジスタ構成あるいは C M O S 構成の入力端子であれば、半導体装置のパッケージングの前後で入力容量値が多少異なっているものの、通常、その入力容量値は 3 ~ 5 p F であるから、抵抗に並列に接続されるコンデンサの容量値は、5 p F 以上とすることが好ましく、7 p F 以上とすることがより好ましく、1 0 p F 以上とすることがよりさらに好ましい。もっとも、この容量値を大きくしすぎると、コンデンサの体積が大きくなりすぎてプローブカード (テストボードを含む) に所要数のコンデンサを収容することが難しくなるおそ

れがあり、また、不良などにより検査対象の半導体装置の入力端子におけるリーク電流が大きいような場合にはテストのドライバに対する容量負荷となるので、好ましくない。コンデンサの容量値の上限は、例えば入力容量の10倍以下とすることが好ましく、50 pF以下とすることがより好ましい。

#### 【0023】

本発明において、抵抗（電流制限素子）として抵抗値を可変とすることができる素子を使用することが可能である。また、抵抗（電流制限素子）に並列に接続されるコンデンサとして、容量値を可変とすることができる素子を使用することが可能である。このように可変抵抗及び／または可変容量コンデンサを使用することにより、検査対象の半導体装置の入力端子の電気的特性やクロック周波数、ドライバの駆動能力などに応じた最適の抵抗値及び／容量値を選択することが可能となる。

#### 【0024】

本発明において、コモンドライブ配線として、テスト内の1つのドライバからの分岐数は、2分岐に限られるものではなく、同時に検査しようとする半導体装置の数などに応じて適宜に増減するものである。例えば、3分岐や4分岐、あるいはそれ以上の分岐数とすることができる。

#### 【0025】

本発明が好適に適用できる半導体装置は、半導体記憶装置やマイクロプロセッサ、ASIC（特定用途向け集積回路；application specific integrated circuit）などの半導体装置であって、駆動クロックあるいは基準クロックが10 MHz以上のもの、典型的には、30 MHz以上のものである。例えば、基準クロックが、66 MHzや100 MHz、133 MHzのいずれかである半導体記憶装置やマイクロプロセッサ、ASICが該当する。ここで駆動クロックや基準クロックとは、信号の取り込みや出力などのタイミングの基準として半導体装置に供給されるクロック信号のことである。本発明によれば、クロック周波数が例えば250 MHzである半導体装置であっても、コモンドライブ配線により同時に複数の半導体装置の検査を行うことが可能になる。

#### 【0026】

さらに本発明は、信号の立上がり時間（入力電圧が10%から90%に立ち上がるまでの時間）や立下がり時間（入力電圧が90%から10%に立ち下がるまでの時間）として10 ns以下、典型的には5 ns以下であることが要求される半導体装置にも好適に適用される。

【0027】

【発明の実施の形態】

次に、本発明の好ましい実施の形態について図面を参照して説明する。図1は本発明の実施の一形態の半導体検査装置の構成を示すブロック図である。

【0028】

図1では、説明のため、テスト11を使用して同時に2つの半導体装置14a、14bを検査するものとする。半導体装置14a、14bは、それぞれ、3つの入力用端子15a～15c、15d～15fを備えている。テスト11内には、複数のドライバ12a、12b、12c、12d、…が設けられており、これらドライバからの信号は、プローブカード12を経由して検査対象の半導体装置14a、14bに与えられる。

【0029】

ドライバ12aの出力は1対1で半導体装置14aの端子15aに接続し、ドライバ12dの出力も1対1で半導体装置14bの端子15dに接続し、これらの配線はコモンドライブ配線とはなっていない。

【0030】

これに対しドライバ12bの出力は、プローブカード13内の分岐点16aで2つに分かれており、一方は半導体装置14aの端子15bに接続し、他方は半導体装置14bの端子15eに接続している。ここで、分岐点16aと端子15bとの間には、抵抗17が挿入され、さらに、この抵抗17に対して並列にコンデンサ18が接続されている。同様に、分岐点16aと端子15eとの間には、抵抗17が挿入され、さらに、この抵抗17に対して並列にコンデンサ18が接続されている。すなわちドライバ12bの出力は、コモンドライブ配線となっている。抵抗17及びコンデンサ18もプローブカード13内に設けられている。

【0031】

ドライバ 1 2 c の出力も、プローブカード 1 3 内の分岐点 1 6 b で 2 分岐しており、ドライバ 1 2 b の出力と同様にコモンドライブ配線となっている。すなわち、分岐点 1 6 b と端子 1 5 c との間には、抵抗 1 7 が挿入されるとともにこの抵抗 1 7 に対して並列にコンデンサ 1 8 が設けられ、分岐点 1 6 b と端子 1 5 f との間にも、抵抗 1 7 が挿入されるとともにこの抵抗 1 7 に対して並列にコンデンサ 1 8 が設けられている。

#### 【 0 0 3 2 】

各入力端子 1 5 a ~ 1 5 f の直流入力抵抗値は例えば  $3\text{ M}\Omega$  であり、入力容量は  $3\text{ p F}$  である。このような場合に、抵抗 1 7 としては例えば  $100\Omega$  のものを使用し、コンデンサ 1 8 の容量は  $10\text{ p F}$  とする。

#### 【 0 0 3 3 】

図 1 に示した例では、半導体装置 1 4 a, 1 4 b の入力用端子のうち、端子 1 5 b, 1 5 c, 1 5 e, 1 5 f にはコモンドライブ配線が適用され、残りの端子 1 5 a, 1 5 d にはコモンドライブ配線が適用されていない。

#### 【 0 0 3 4 】

このようにコモンドライブ配線を適用する端子と適用しない端子とが混在するが、この両者の適用区分としては、以下のようなものが考えられる。例えば、検査対象の半導体装置が DRAM (ダイナミック・ランダム・アクセス・メモリ) などの半導体メモリ装置である場合、クロック信号は動作の基準となる (したがって検査時にもタイミングの基準となる) ばかりでなく、デューティ比や波形についても厳密な規定がなされることが多いので、コモンドライブ配線は適用しないようにするのが一般的である。これに対して、このようなクロックに同期して取り込まれることになる、アドレス、データ、CAS (カラム・アドレス・ストローブ) や RAS (ロウ・アドレス・ストローブ) については、コモンドライブ配線を適用し、テスト内のドライバの所要数を減らすようにすることが好ましい。検査対象の半導体装置がマイクロプロセッサである場合にも、ここで述べたような基準を適用することができる。

#### 【 0 0 3 5 】

図 2 はこの実施の形態での構成に基づく各部の波形と図 8 に示した従来の構成

での各部の波形とを比較するための図である。図 2 (a)は、基準となる信号すなわちドライバの出力を示す波形図であり、図 2 (b),(c)は、図 2 (a)に示す信号を各ドライバから出力させたときの図 1 に示すこの実施の形態での構成における各入力端子 1 5 a ~ 1 5 f における波形を示す波形図であり、図 2 (d),(e)は、図 2 (a)に示す信号を各ドライバから出力させたときの図 8 に示す従来の構成（コモンドライブ配線に抵抗のみが挿入されている構成）における各入力端子 6 5 a ~ 6 5 f における波形を示す波形図である。

## 【 0 0 3 6 】

ここでは、検査対象の半導体装置の入力端子の入力容量を 5 p F、入力抵抗を 3 M  $\Omega$  とし、また、コモンドライブ配線に挿入される抵抗の抵抗値を 3 0 0  $\Omega$ 、この抵抗に並列に接続されるコンデンサの容量を 5 0 p F とした。

## 【 0 0 3 7 】

ドライバ 1 2 a ( 6 2 a ) が出力する波形 A は、パルス幅 1 5 n s のパルスであり、ドライバ 1 2 b ( 6 2 b ) が出力する波形 B は、波形 A の立ち上がりエッジより 1 n s 早く立ち上がるパルスであり、ドライバ 1 2 c ( 6 2 c ) が出力する波形 C は、波形 A の立ち上がりエッジより 1 n s 早く立ち下がる。したがって、波形 A の立ち上がりエッジで波形 B 及び波形 C をラッチすれば、それぞれ、“H” 及び “L” の信号となる。

## 【 0 0 3 8 】

ここで抵抗のみを挿入した場合には、図 2 (d),(e)に示すように、波形 B 及び波形 C の信号がなまるので、正しく波形をラッチすることができない。これに対し、本実施の形態にしたがって抵抗に並列にコンデンサを接続した場合には、図 2 (b),(c)に示すように、波形 B 及び波形 C の立ち上がり、立下がり時に電位レベルが多少低下するものの、正しく波形の論理レベルをラッチすることができる。これにより、この実施の形態の方法によれば、正しく半導体装置の検査を行えることになる。

## 【 0 0 3 9 】

以上、本発明の実施の形態について説明したが、本発明は上述したものに限定されるわけではない。例えば、コモンドライブ配線における 1 つのドライバから

の分岐数は2に限られるものではなく、3分岐以上とすることもできる。図3は、コモンドライブ配線における分岐数を3分岐とした例を示すものである。

#### 【0040】

図3に示す構成は、図1に示す構成において、検査対象の半導体装置として、入力用端子15g～15iを有する半導体装置14cを追加したものであり、テスト11内のドライバ12eの出力が端子15gに1対1で接続するとともに、ドライバ12bの出力が端子15hに接続し、ドライバ12cの出力が端子15iに接続するようにしたものである。もちろん、プローブカード13内の分岐点から各端子までの間には、抵抗17が挿入され、さらに、この抵抗17に対して並列にコンデンサ18が接続している。

#### 【0041】

ここでは3分岐の例を示したが、当然のことながら、コモンドライブ配線を4分岐以上のものとするものも、本発明の範疇に含まれる。

#### 【0042】

また、本発明では、電流制限素子として抵抗の種々の素子を用いることができる。図4は、図1に示した構成において抵抗の代わりにサーミスタ21を使用した例を示している。入力用端子におけるリーク不良は直流的な不良なので、正の温度係数を有するサーミスタを使用することにより、リーク不良が起きている端子へのドライバから見た実効的な抵抗値を高め、正常な端子へのドライバから見た実効的な抵抗値を低めることが可能になる。これにより、リークが起きている端子の他の正常な端子への影響を最小限に抑えつつ、かつ、正常な端子に対して挿入される抵抗値を小さくすることができて、正常な端子での信号の遅延量を最小限にすることが可能になる。

#### 【0043】

上述した構成では、分岐点と検査対象の半導体装置の端子との間に固定抵抗を挿入し、この固定抵抗に並列に固定コンデンサを接続しているが、それぞれ、可変抵抗、可変コンデンサ（可変容量）を使用することもできる。図4は、図1に示す構成において、抵抗の代わりに可変抵抗22を使用し、コンデンサの代わりに可変コンデンサ23を使用した例を示している。このように可変抵抗、可変コ

ンデンサを使用することにより、検査対象の半導体装置の入力端子の電気的特性やクロック周波数、ドライバの駆動能力などに応じた最適の抵抗値及び／容量値を選択することが可能となる。

【 0 0 4 4 】

【発明の効果】

以上説明したように本発明は、複数の半導体装置を同時に検査するためにテスト内の同一のドライバからの信号を分岐して複数の入力信号用の端子に供給するコモンドライブ配線において、信号の分岐点から各端子までの経路にそれぞれ抵抗を挿入するとともに、これらの抵抗に対して並列にそれぞれコンデンサを接続することにより、簡便な回路構成でもって、同時に接続された不良の半導体装置の影響を受けることなく、検査時に入力端子に印加される信号の遅延やなまりを抑制することができるようになる、という効果がある。これにより、クロック周波数が 1 0 M H z を越えるような半導体装置、例えば、クロック周波数が 6 6 M H z や 1 3 3 M H z である半導体メモリを同時に多数検査できるようになるという効果が得られる。

【図面の簡単な説明】

【図 1】

本発明の実施の一形態の半導体装置検査装置の構成を示す回路図である。

【図 2】

(a)は、ドライバが出力する波形を示す波形図、(b),(c)は、図 1 に示す配置において半導体装置の各入力端子に加わる波形を示す波形図、(d),(e)は、図 8 に示す従来の構成において半導体装置の各入力端子に加わる波形を示す波形図である。

【図 3】

本発明の別の実施の形態における半導体装置検査装置の構成を示す回路図である。

【図 4】

本発明のさらに別の実施の形態における半導体装置検査装置の構成を示す回路図である。

【図 5】

本発明のさらに別の実施の形態における半導体装置検査装置の構成を示す回路図である。

【図 6】

従来の半導体装置の検査方法の一例を説明する回路図である。

【図 7】

従来の半導体装置の検査方法の別の例を説明する回路図である。

【図 8】

従来の半導体装置の検査方法のさらに別の例を説明する回路図である。

【図 9】

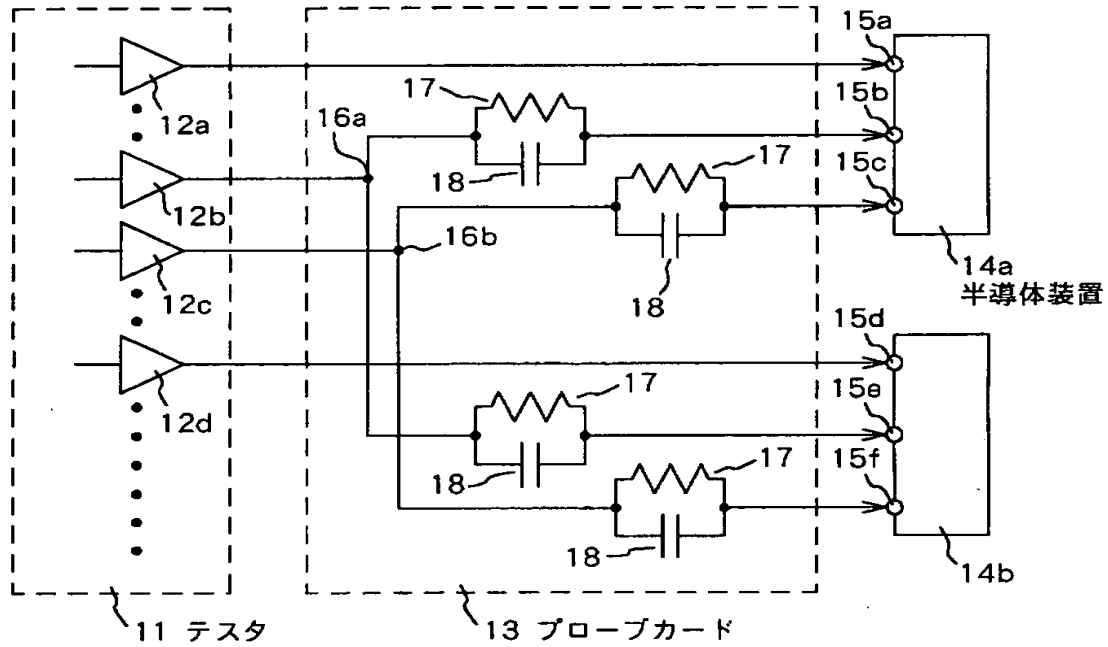
図 8 に示す構成での波形を示す波形図である。

【符号の説明】

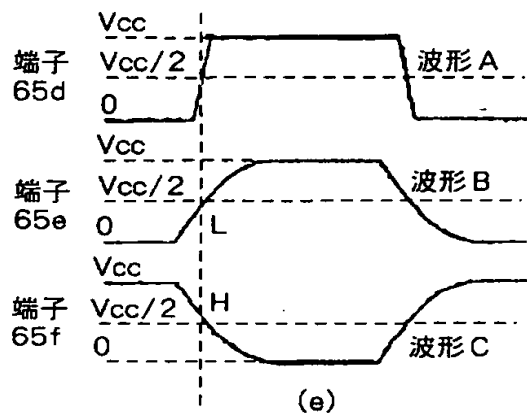
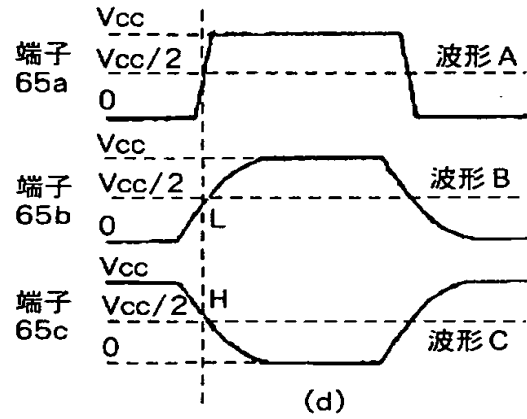
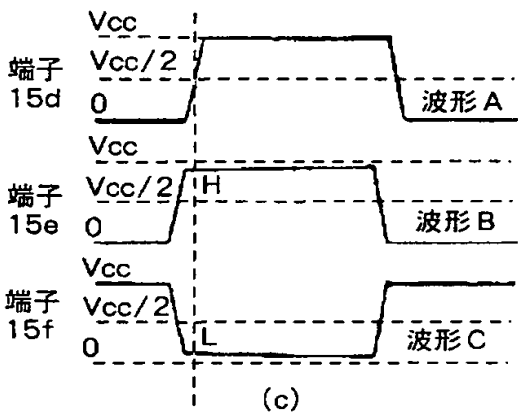
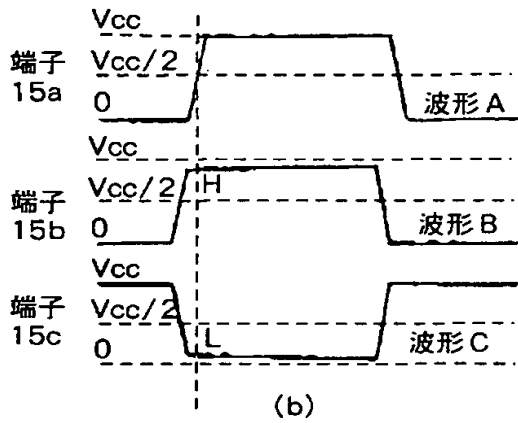
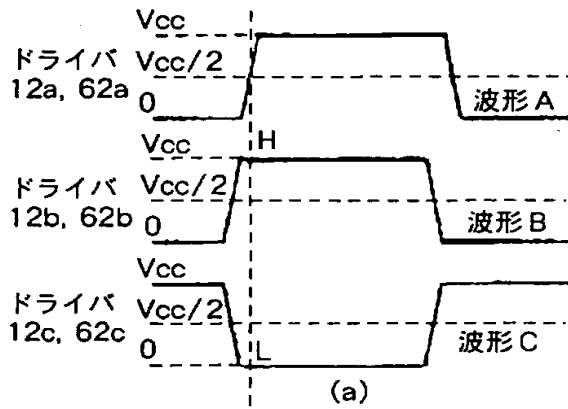
- 1 1, 6 1    テスタ
- 1 2 a ~ 1 2 e, 6 2, 6 2 a ~ 6 2 d    ドライバ
- 1 3, 6 3    プローブカード
- 1 4 a ~ 1 4 c, 6 4, 6 4 a, 6 4 b    半導体装置
- 1 5 a ~ 1 5 i, 6 5, 6 5 a ~ 6 5 f    端子
- 1 6 a, 1 6 b, 6 6 a, 6 6 b    分岐点
- 1 7, 6 7    抵抗
- 1 8    コンデンサ
- 2 1    サーミスタ
- 2 2    可変抵抗
- 2 3    可変コンデンサ

【書類名】 図面

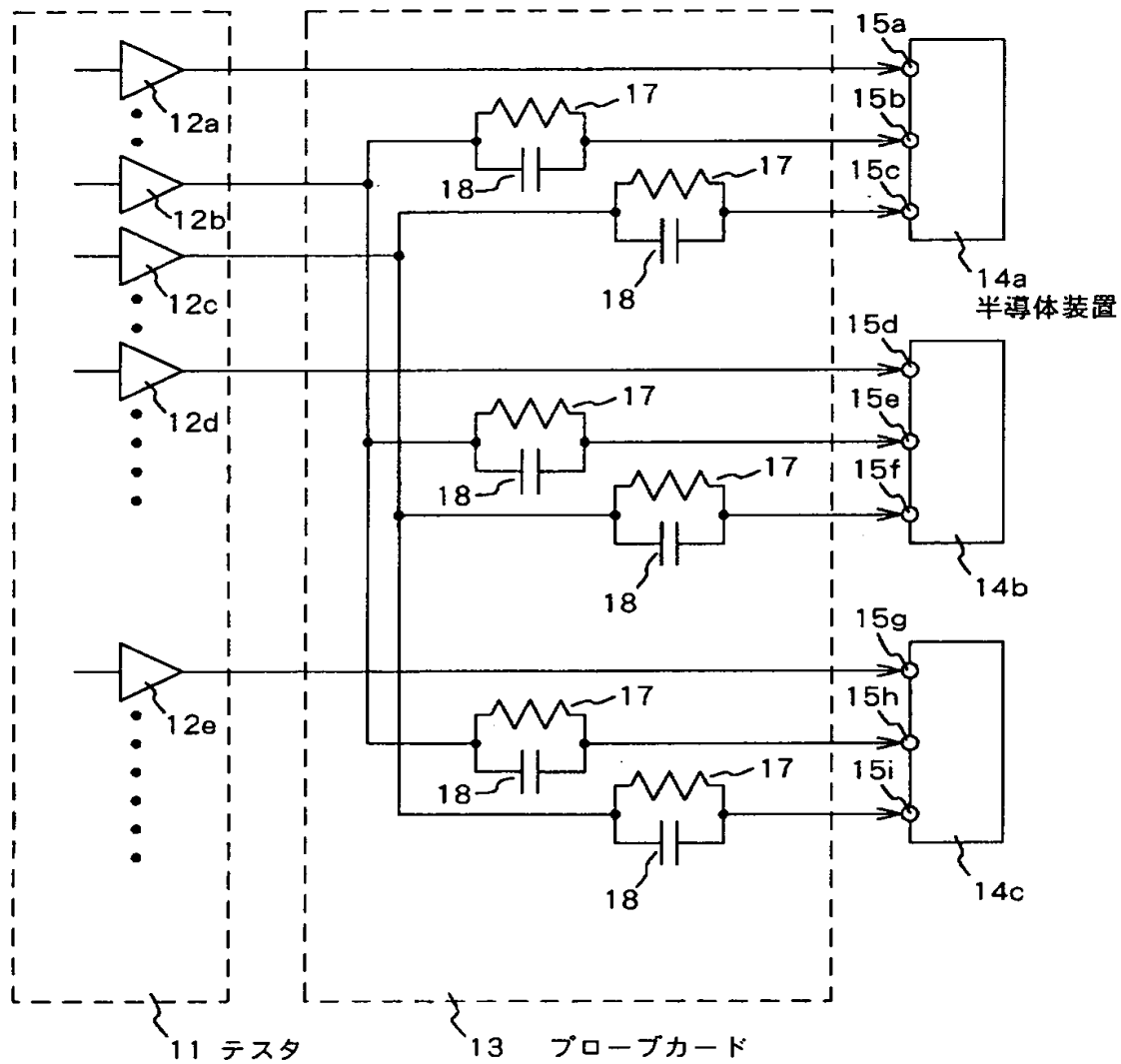
【図 1】



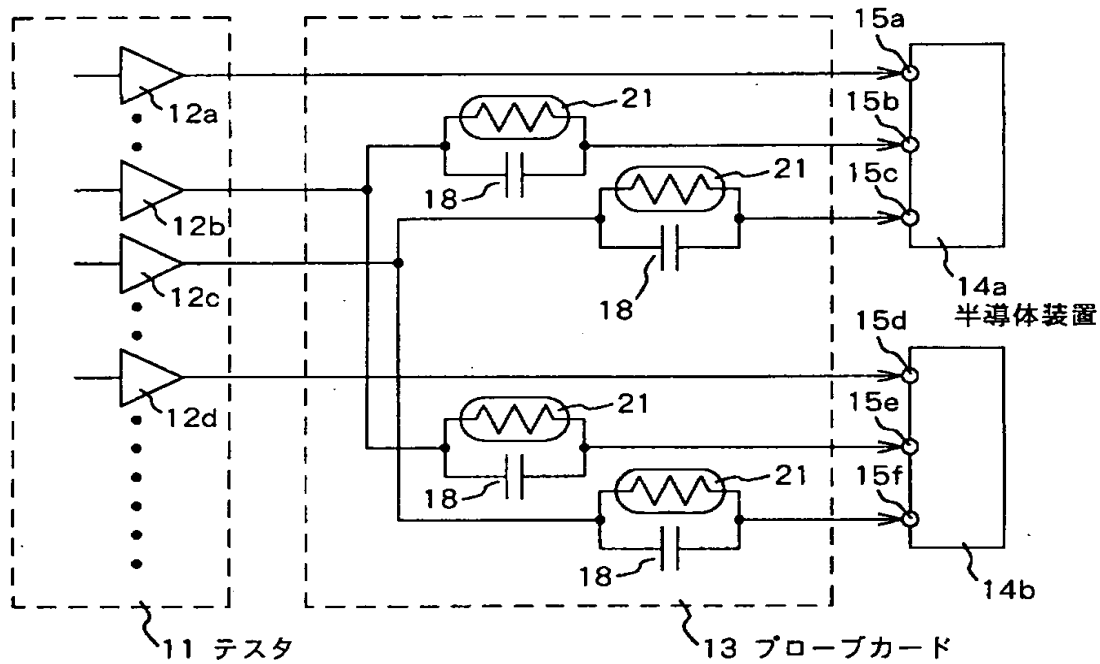
【図 2】



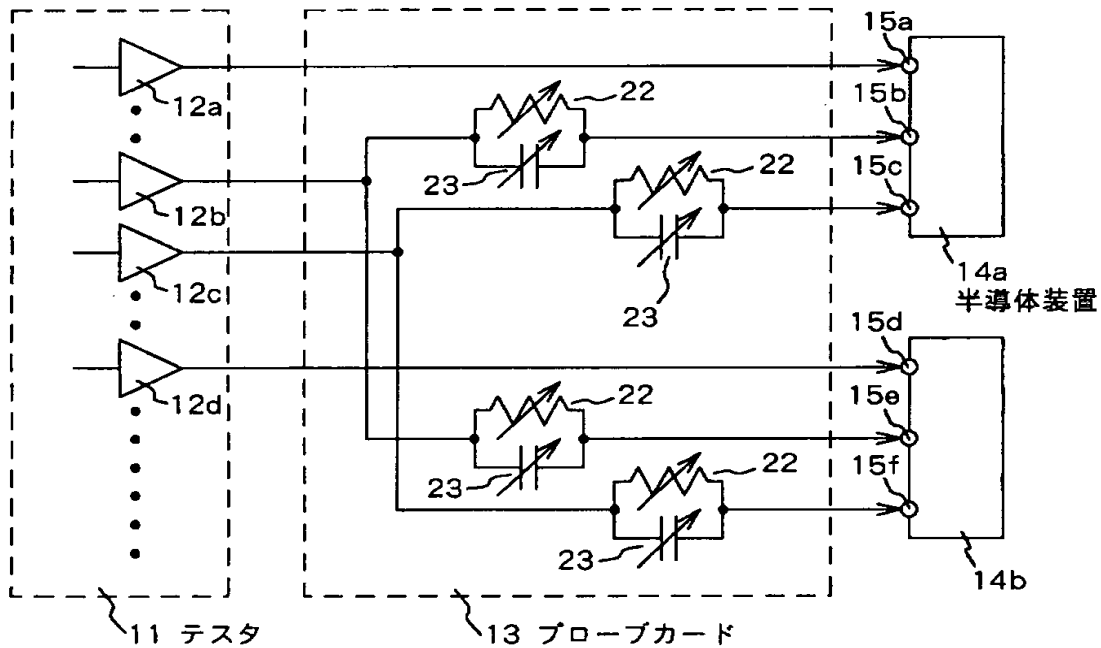
【図 3】



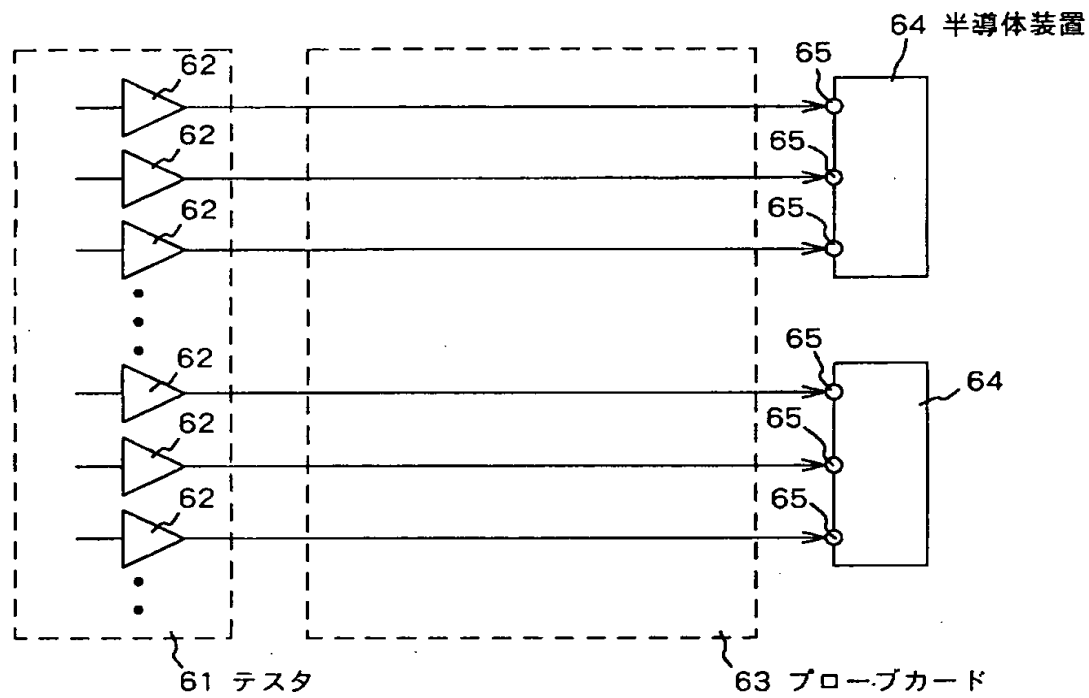
【図 4】



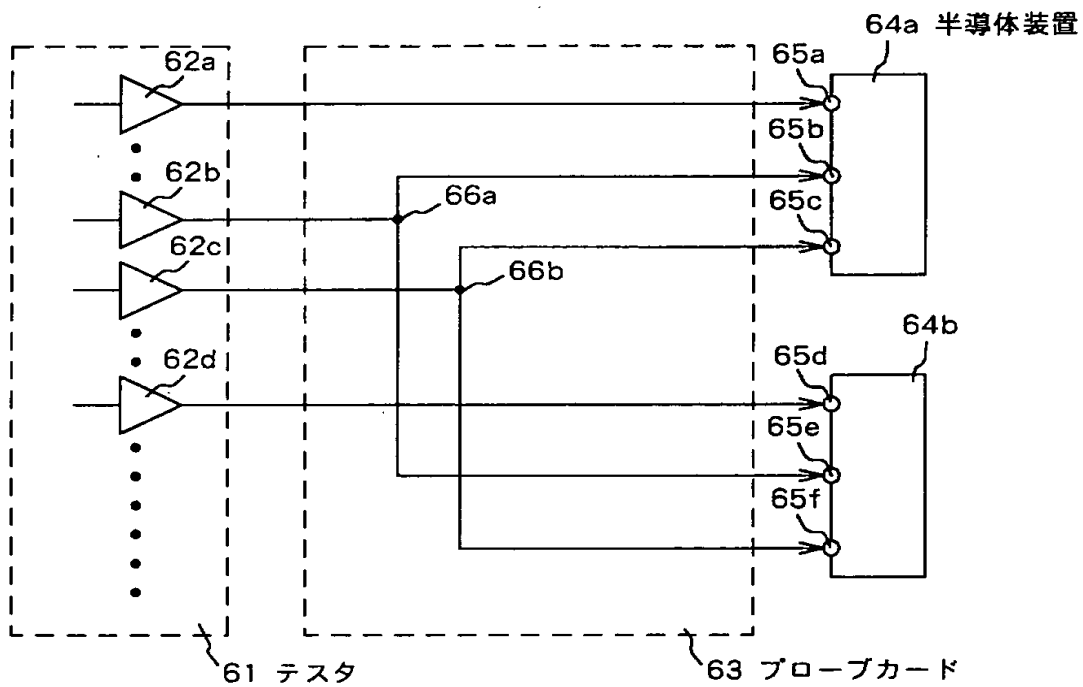
【図 5】



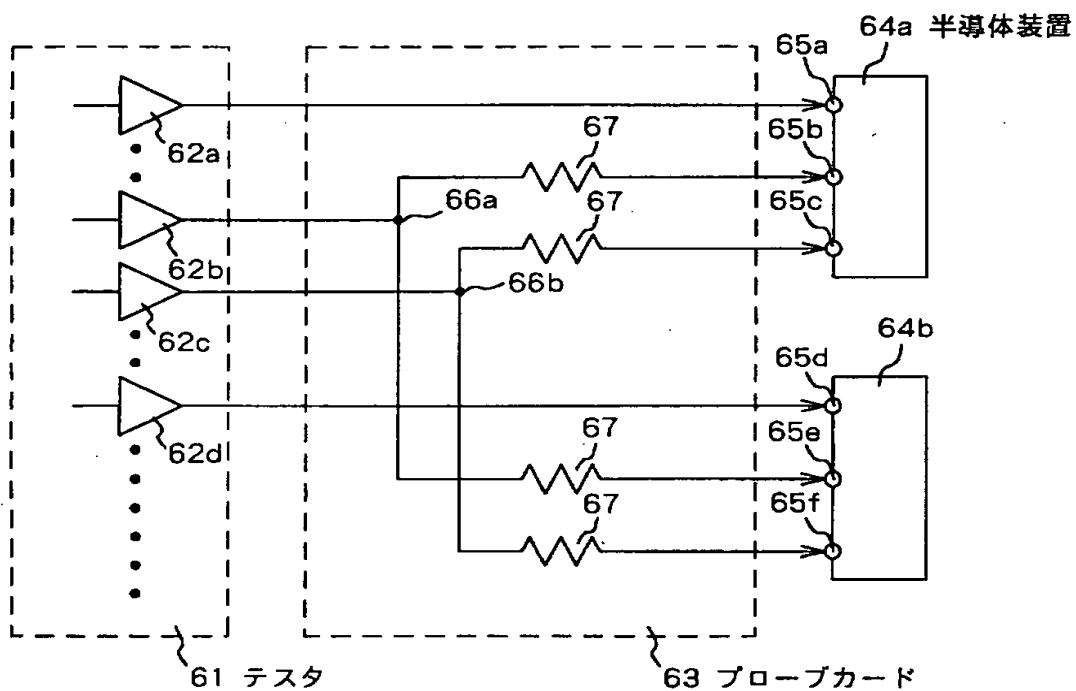
【図 6】



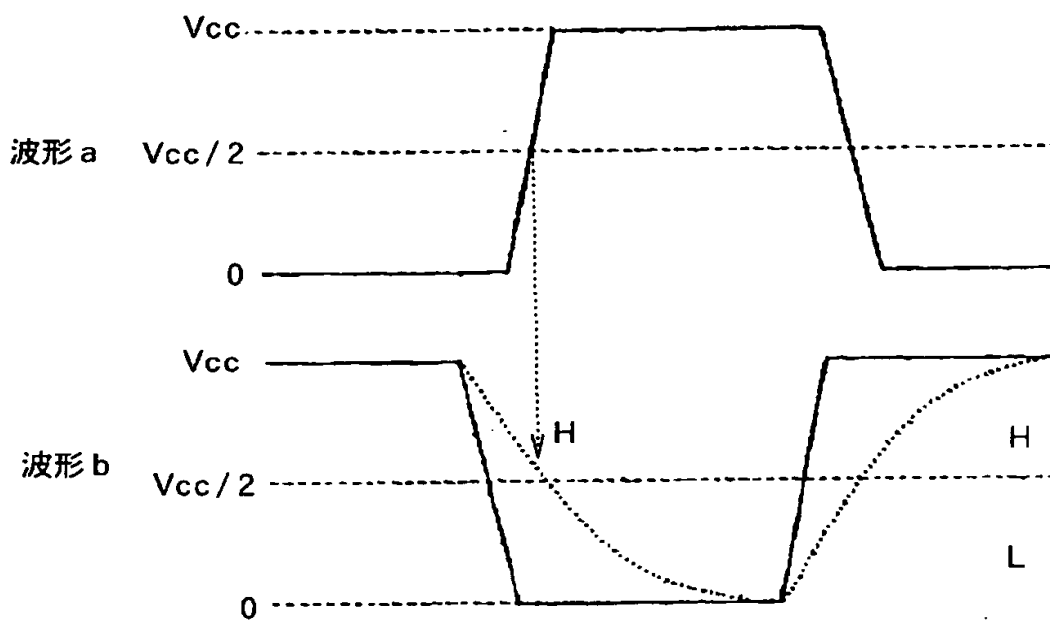
【図 7】



【図 8】



【図 9】



【書類名】            要約書

【要約】

【課題】    高速に動作する半導体装置を検査する際に、半導体テストでのドライバ数を増やすことなく同時に検査できる個数を増やせるようにする。

【解決手段】    テスタ 1 1 内の 1 つのドライバ 1 2 b ( 1 2 c ) からの信号を分岐して検査対象の複数の半導体装置 1 4 a , 1 4 b の入力端子 1 5 b , 1 5 e ( 1 5 c , 1 5 f ) に供給するコモンドライブ配線において、プローブカード 1 3 内の分岐点 1 6 a ( 1 6 b ) と各端子 1 5 b , 1 5 e ( 1 5 c , 1 5 f ) の間にそれぞれ抵抗 1 7 を挿入し、さらにこの抵抗に並列にコンデンサ 1 8 を接続する。コンデンサ 1 8 の容量値は、各端子の入力容量値より大きくする。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日  
[変更理由] 新規登録  
住 所 東京都港区芝五丁目7番1号  
氏 名 日本電気株式会社